

平成25年12月10日



東北大学



報道機関 各位

国立大学法人東北大学  
国立大学法人京都大学

## 線幅 20 nm 磁壁移動メモリ素子の動作を実証 ～優れた微細化特性と高速・低消費電力性能を確認～

### 【概要】

国立大学法人東北大学（総長：里見進／以下、東北大学）省エネルギー・スピントロニクス集積化システムセンターの大野英男センター長（同大学電気通信研究所・教授、原子分子材料科学高等研究機構・主任研究者、国際集積エレクトロニクス研究開発センター・教授兼任）のグループは、国立大学法人京都大学（以下、京都大学）化学研究所の小野輝男教授らのグループとの共同研究により、スピントロニクス論理集積回路への適用が期待されている磁壁移動メモリ素子の試作・評価を行い、当素子が非常に優れた微細化特性（スケラビリティ）と高速・低消費電力性能を有していることを明らかにしました。今回同グループは磁壁移動素子としては世界最小となる線幅 20 nm の素子を作製し、良好な動作を確認するとともに、過去の報告値を一桁超下回る世界最小の電力で磁壁移動による情報の書き換えが可能であることを示しました。これらの成果は、磁壁移動素子が最先端、及び次世代の半導体論理集積回路との親和性に優れており、また当素子を混載したスピントロニクス論理集積回路が多彩な応用へと展開できる汎用性の高い技術であることを意味しています。

### 【背景と課題】

小さくすれば性能が上がる — この原理のもとで半導体論理集積回路は数十年に渡って目覚ましい発展を遂げてきました。しかし現在、「これ以上小さくしても性能が上がらない」<sup>(注1)</sup>あるいは「これ以上小さく作れない」<sup>(注2)</sup>という新たな局面を迎えつつあります。これらの諸問題は主に、現在の半導体論理集積回路が電子の持つ電氣的性質に立脚していることに起因しています。このような中注目されているのがスピントロニクス論理集積回路です。スピントロニクス論理集積回路においては、半導体論理集積回路が築き上げてきた優れた特性は継承しながら、待機電力と動作安定性の問題が顕在化しつつある記憶機能に関しては、電子の持つ磁氣的性質（スピン）を活用した不揮発性スピントロニクス素子<sup>(注3)</sup>で置き換えます。これによってこれまで通りの「小さくすることで性能を上げる」というスキームを

継続でき、同時にスピントロニクス素子の持つ情報保持に電力が不要な不揮発性という特長によって消費電力を劇的に低減することができます。

3端子型磁壁移動メモリ素子<sup>(注4)</sup>はスピントロニクス素子の一形態ですが、高速・高信頼動作が可能なることから、従来の論理集積回路においてSRAM<sup>(注5)</sup>が担っていたようなキャッシュメモリやロジック周辺の一部記憶回路への適用が期待されています。これまでに線幅100 nm程度の磁壁移動素子において、良好な動作や高い信頼性が確認されていました。

半導体論理集積回路の回路パターンの微細化は年々進行しており、現在は32~16 nm程度が研究開発の最前線となっています。従ってスピントロニクス素子を最先端、及び次世代の半導体集積回路に適用するためには、良好な特性を維持しながらこのような微細なサイズにまで素子を縮小できること（スケーラビリティ）が求められますが、磁壁移動素子については今までのところこのような観点での研究は十分にはなされていませんでした。

### 【研究手法と成果】

今回、東北大学、京都大学の研究グループは、様々な線幅の磁壁移動素子を作製し、磁壁移動特性や磁壁の熱安定性、及びその素子サイズ依存性を評価しました。そして、これまでの報告を遥かに下回る線幅20 nmの素子において、良好な動作を確認しました。またデバイス特性の素子サイズ依存性の評価から、当素子が以下に示すような非常に優れたスケーラビリティを有していることを明らかにしました。

- 1) 情報の書き換えに要する電流は微細化に伴いほぼ線形に減少する。
- 2) 情報の書き換えに要する時間も微細化に伴いほぼ線形に減少する。
- 3) 情報保持特性（熱安定性）は素子のサイズに関わらず十分な値を維持できる。
- 4) 書き換え誤動作確率についても素子のサイズに関わらず極めて低い値に抑えられる。

得られた実験結果をもとに、情報の書き換えの際に1ビットの磁壁移動素子で消費されるエネルギーを見積もったところ、線幅が20 nmの素子では1.8 fJ（フェムトジュール）という値が得られました。これは、過去に報告されていたスピントロニクス素子での書き換えエネルギーの最小値（90 fJ）の1/50であり、SRAMの1ビットのセルの書き換えエネルギーと同等に小さい値であります。このことから、磁壁移動素子は待機時の消費電力だけでなく、動作時の消費電力という観点でも非常に有望な技術であることが分かりました。

### 【研究成果の意義】

今回得られた成果は二つの意義を有しています。その一つ目は、磁壁移動メモリ素子が最先端、及び次世代の半導体論理集積回路との親和性に優れた技術であるという点です。すなわち磁壁移動メモリ素子を混載したスピントロニクス論理集積回路では、「小さくすれば性能が上がる」という半導体回路の特長を引き続き享受することができます。二つ目は、微細世代における書き換え消費電力が数fJと従来の半導体回路技術並みに小さいという点です。これは磁壁移動メモリ素子を混載したスピントロニクス論理集積回路が多くアプリケーションに展開できる汎用性の高い技術であることを意味しています。

なお、当グループは今回の成果を、12月9日から11日まで米国ワシントンDCで開催される半導体デバイス技術の国際学会「2013 IEEE International Electron Devices Meeting」において、9日に発表しました。

本成果は、内閣府『最先端研究開発支援プログラム』（題名：「省エネルギー・スピントロニクス論理集積回路の研究開発」）、及び文部科学省『次世代IT基盤構築のための研究開発』（題名：「耐災害性に優れた安心・安全社会のためのスピントロニクス材料・デバイス基盤技術の研究開発」）の支援により得られたものです。

(注1)半導体論理集積回路の最も重要な構成要素であるMOSトランジスタにおいては微細化によりリーク電流が増大しており、その結果最近の集積回路では待機時（非動作時）の消費電力の増大が深刻化しています。また現在の半導体論理集積回路では演算を司るロジック部と記憶を司るメモリ部がグローバル配線で接続されて別々に配置されていますが、微細化（高集積化）に伴う扱う情報量の増加により配線数、配線長が増大しており、結果として情報転送の際の充放電に伴う電力の消費や配線遅延による処理速度向上の頭打ちの問題も顕在化してきています。

(注2)集積回路のメインメモリなどに使われているDRAM<sup>(注5)</sup>は、キャパシターにおける電荷の充電状態で情報を記憶し、安定動作のためにはキャパシターは十分な静電容量を有している必要があります。キャパシターは集積回路中に溝を掘って形成され、この溝の深さを増すことでこれまでは微細化に伴う静電容量の減少に対応してきましたが、現在その加工限界が近づいています。またSRAMも微細化に伴うしきい電圧のばらつきが増大により、回路動作マージンの確保が難しくなっています。

(注3)SRAMやDRAMは情報の保持のためには電源電圧を供給し続ける必要がありますが（揮発性）、スピントロニクス素子では電源が遮断されても記憶情報を保持し続けることができます。このような性質を「不揮発性」と言います。揮発性のメモリを不揮発性のメモリで置き換えることで待機時の消費電力を劇的に低減することができます。

(注4)強磁性体において磁化方向の揃った領域のことを磁区と言い、磁区と磁区の境界領域のことを磁壁と言います。磁壁を貫通する方向に電流を流すと、角運動量保存則と量子力学的な効果から磁壁が伝導電子の方向に移動することが知られており、これを電流誘起磁壁移動と言います。3端子磁壁移動素子においては電流誘起磁壁移動によって強磁性細線の磁化の方向を反転させることで情報の書き込みを行います。また情報を読み出す際にはトンネル磁気抵抗効果を利用します。3端子磁壁移動素子では読み出しと書き込みで電流経路が異なるのが特徴であり、これによって大きな動作マージンが得られるため、高速で信頼性の高い動作が実現できます。

(注5)SRAM = Static Random Access Memory、DRAM = Dynamic Random Access Memory。

## 【お問い合わせ先】

東北大学 省エネルギー・スピントロニクス集積化システムセンター 支援室  
門脇 豊 室長  
022-217-6116, sien@csis.tohoku.ac.jp

京都大学 化学研究所  
小野 輝男 教授  
0774-38-3103, ono@scl.kyoto-u.ac.jp